

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173175

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-328339

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.12.1996

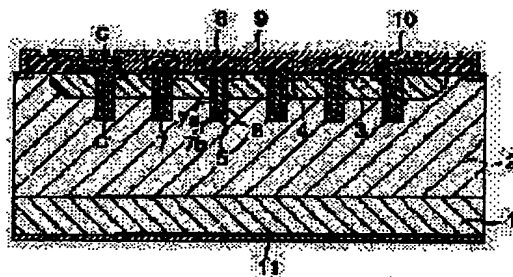
(72)Inventor : KUWABARA MASASHI
KAMATA SHUJI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the switching characteristic of a semiconductor device, reducing its ON-resistance, by making the resistance of its gate electrode portion protruded in the side of its drift region larger than the one of the gate electrode portion not protruded in the side of its drift region.

SOLUTION: Forming an N-type drift region 2 on a semiconductor substrate 1, a P-type base region 3 is formed selectively in the surface portion of the region 2 to extend it to a predetermined depth. Forming in the base region 3 N-type source regions 4 with predetermined depths from the surface of the region 3, trench gate regions 5 are formed so as to pass through the source region 4 and base region 3 and extend to reach the depth of the drift region 2. Then, providing in each trench gate region 5 a gate electrode 7 enclosed by a gate insulation film 6, the resistance of its gate portion 7b protruded in the side of the drift region 2 is made larger than the resistance of its gate portion 7a not protruded in the side of the drift region 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173175

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁸

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

6 5 2 K

6 5 3 C

6 5 5 A

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21) 出願番号 特願平8-328339

(22) 出願日 平成8年(1996)12月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 桑原 正志

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72) 発明者 鎌田 周次

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

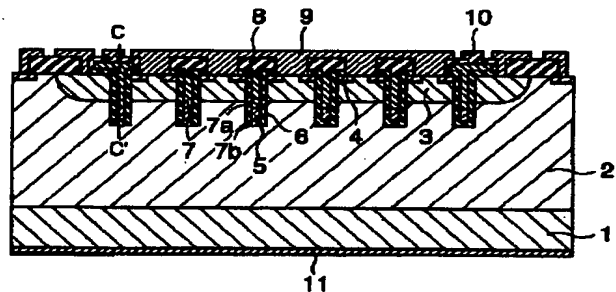
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 トレンチゲート型半導体装置において、オン抵抗を低減しつつスイッチング特性を改善させることができる。

【解決手段】 第1導電型の半導体基板1上に形成された第2導電型のドリフト領域2と、ドリフト領域の一方の主面に選択的に形成された第1導電型のベース領域3と、ベース領域中に選択的に形成された第2導電型のソース領域4と、ソース領域及びベース領域を貫通してドリフト領域に達する深さで形成されたトレンチ5内に絶縁膜6を介して形成されたゲート電極7と、ベース領域及びソース領域を短絡して接続されたソース金属電極9と、ゲート電極と接続されたゲート金属電極10と、半導体基板と接続されたドレイン電極とからなる半導体装置において、ゲート電極におけるドリフト領域側へ突き出した部分の抵抗値が、ドリフト領域側に突き出さない部分の抵抗値よりも大きい7a、7b半導体装置。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に形成された第2導電型のドリフト領域と、前記ドリフト領域の一方の主面に選択的に形成された第1導電型のベース領域と、前記ベース領域中に選択的に形成された第2導電型のソース領域と、前記ソース領域及び前記ベース領域を貫通して前記ドリフト領域に達する深さで形成されたトレンチ内に絶縁膜を介して形成されたゲート電極と、前記ベース領域及び前記ソース領域を短絡して接続されたソース金属電極と、前記ゲート電極と接続されたゲート金属電極と、前記半導体基板と接続されたドレイン電極とからなる半導体装置において、前記ゲート電極における前記ドリフト領域側へ突き出した部分の抵抗値が、前記ドリフト領域側に突き出さない部分の抵抗値よりも大きいことを特徴とする半導体装置。

【請求項2】 前記ゲート電極が低抵抗層と高抵抗層の2層で構成されており、前記低抵抗層がトレンチ領域表面からベース領域を越える深さまで形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ゲート電極における前記ドリフト領域側の端部の不純物濃度が、ゲート金属電極側端部の不純物濃度の3分の1以下であることを特徴とする請求項1記載の半導体装置。

【請求項4】 周波数1MHzのLCRメータを用いてドレイン-ソース間0バイアスで測定したゲート-ドレイン間容量が、下式によって算出される値の70%より小さいことを特徴とする請求項1記載の半導体装置。

$$C_{gd} = \epsilon_{ii} \times \epsilon_0 \times A_{gd} / t_{ii}$$

C_{gd} : ゲート-ドレイン間容量、 ϵ_{ii} : 絶縁膜の誘電率、

t_{ii} : 絶縁膜の厚さ、 ϵ_0 : 真空の誘電率、

A_{gd} : トレンチゲート領域とドリフト領域の対向面積

【請求項5】 前記ゲート電極がポリシリコンからなることを特徴とする請求項1乃至4のうち何れか1項記載の半導体装置。

【請求項6】 前記半導体基板が第2導電型であることを特徴とする請求項1乃至4のうち何れか1項記載の半導体装置。

【請求項7】 前記第1導電型の半導体基板と前記第2導電型のドリフト領域の間に、さらに第2導電型の高濃度バッファ層が設けられることを特徴とする請求項1乃至4のうち何れか1項記載の半導体装置。

【請求項8】 前記第1導電型の半導体基板に代えて第2導電型の半導体基板が設けられ、この第2導電型の半導体基板の前記ドレイン電極側の主面に、選択的に第1導電型のアノード領域が形成され、さらに前記アノード領域の間に第2導電型のショート領域が形成されたことを特徴とする請求項1乃至4のうち何れか1項記載の半導体装置。

【請求項9】 半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、

前記ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、

前記ソース領域及び前記ベース領域を貫通して、前記ドリフト領域に達する深さの溝を形成する工程と、

前記溝の内壁にゲート絶縁膜を形成する工程と、

前記溝内を抵抗値の高いポリシリコン層で埋め込む工程と、

前記ポリシリコン層に少なくとも前記ベース領域を越える深さで不純物を拡散する工程と、

前記ドリフト領域の表面領域上に絶縁膜を形成する工程と、

前記絶縁膜に第1、第2の開口部を形成する工程と、前記絶縁膜及び前記第1、第2の開口部内に金属層を形成する工程と、

前記金属層をバタニングし、前記絶縁膜に形成された第1の開口部を介して前記ベース領域と前記ソース領域

を短絡するソース金属電極を、及び前記絶縁膜に形成された第2の開口部を介して前記溝内に埋め込まれたポリ

シリコン層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、

前記半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項10】 半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、

前記ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、

前記ソース領域及び前記ベース領域を貫通して、前記ドリフト領域に達する深さの溝を形成する工程と、

前記溝の内壁にゲート絶縁膜を形成する工程と、

前記溝内を抵抗値の高いポリシリコン層で埋め込む工程と、

前記ポリシリコン層を所定の深さまで除去する工程と、前記ポリシリコン層の除去された前記溝内の部分に導電層を埋め込む工程と、

前記ドリフト領域の表面領域上に絶縁膜を形成する工程と、

前記絶縁膜に第1、第2の開口部を形成する工程と、前記絶縁膜上及び前記第1、第2の開口部内に金属層を形成する工程と、

前記金属層をバタニングし、前記絶縁膜に形成された第1の開口部を介して前記ベース領域と前記ソース領域

を短絡するソース金属電極、及び前記絶縁膜に形成された第2の開口部を介して前記溝内に埋め込まれた導電層

と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、

前記溝内を抵抗値の高いポリシリコン層で埋め込む工程と、

前記半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項11】 半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、

前記ベース領域を貫通して、前記ドリフト領域に達する深さの溝を形成する工程と、

前記溝の内壁にゲート絶縁膜を形成する工程と、

前記溝内を抵抗値の高いポリシリコン層で埋め込む工程と、

前記ポリシリコン層に少なくとも前記ベース領域を越える深さで不純物を拡散する工程と、

前記溝の側面に沿って、前記ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、

前記ドリフト領域の表面領域上に絶縁膜を形成する工程と、

前記絶縁膜に第1、第2の開口部を形成する工程と、

前記絶縁膜上及び前記第1、第2の開口部内に金属層を形成する工程と、

前記金属層をパターニングし、前記絶縁膜に形成された第1の開口部を介して前記ベース領域と前記ソース領域を短絡するソース金属電極、及び前記絶縁膜に形成された第2の開口部を介して前記溝内に埋め込まれたポリシリコン層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、

前記半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項12】 半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、

前記ベース領域を貫通して、前記ドリフト領域に達する深さの溝を形成する工程と、

前記溝の内壁にゲート絶縁膜を形成する工程と、

前記溝内を抵抗値の高いポリシリコン層で埋め込む工程と、

前記ポリシリコン層を所定の深さまで除去する工程と、

前記ポリシリコン層の除去された前記溝内の部分に導電層を埋め込む工程と、

前記溝の側面に沿って、前記ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、

前記ドリフト領域の表面領域上に絶縁膜を形成する工程と、

前記絶縁膜に第1、第2の開口部を形成する工程と、

前記絶縁膜上及び前記第1、第2の開口部内に金属層を形成する工程と、

前記金属層をパターニングし、前記絶縁膜に形成された第1の開口部を介して前記ベース領域と前記ソース領域を短絡するソース金属電極、及び前記絶縁膜に形成され

た第2の開口部を介して前記溝内に埋め込まれた導電層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、

前記半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はトレンチゲート型の半導体装置に係り、特にオン電流を低減させつつスイッチング特性の向上を図るのに適した半導体装置及び半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 パワーMOSFETやIGBT等パワーデバイスは、電力用半導体素子やモータドライブ用のインバータ等、種々の用途に使用されるものであり、例えばインバータでは高周波数でオンオフが繰り返されるものである。

【0003】 したがって、パワーデバイスにおいてはオン電圧を低減させるとともに、スイッチング特性を向上させることが要求される。ところで、従来からパワーデバイスのオン電圧を低減させるべく、ゲート電極の形状をトレンチ型にすることが行われている。

【0004】 図17は従来のトレンチゲート型MOSFETの断面構造図であり、図18はトレンチゲート領域内に埋め込まれたポリシリコンゲート電極のA-A'間の不純物プロファイルを示す図である。

【0005】 図17に示すようにトレンチゲート型MOSFETでは、トレンチゲート領域5がソース領域4からベース領域3にかけて形成され、このトレンチゲート領域5は、さらにドリフト領域2にまで突き出している。トレンチゲート領域5の突き出し深さを増加させることで、多数キャリアの蓄積効果を増加させることができ、これによりオン電圧を低減できる。

【0006】 この効果はユニポーラデバイスであるMOSFETでも起こるが、バイポーラデバイスであるIGBT、IEGTにおいてはさらに顕著に発揮される。そのためトレンチゲート領域は極力深く形成した方がオン電圧低減のためにはよい。

【0007】 このようなトレンチゲートMOS型半導体装置の製造においては、まずトレンチを形成した後、ゲート絶縁膜6を形成し、次にリン・砒素等の不純物をドーピングしたポリシリコンをトレンチ内部が完全に埋め込まれる厚さで形成することでトレンチ形状の埋め込みゲート電極57が形成される。このように予め不純物をドーピングしておくことで、図18に示すように、トレンチ底部までほぼ均一な不純物濃度が得られる。

【0008】

【発明が解決しようとする課題】 ところが、上記した従来のトレンチゲート型パワーデバイスでは、ゲート電極

を形成するトレンチ底部までほぼ均一に電極として機能するため、トレンチ深さを深くするとそれに伴って、ゲートドレイン間容量が増加してしまう。これはドリフト層とゲート電極の対向面積が大きくなるためである。

【0009】このようにゲートドレイン間容量が増加すると、そのコンデンサが蓄積し得る電荷量も大きくなる。したがって、スイッチング、すなわちゲートに対して電荷を充電しその電位を所定値以上にすることでな

$$\text{ゲート電圧} = (\text{帰還容量} / \text{入力容量}) \times \text{ドレイン電圧} \quad \dots (1)$$

ここで、ゲートソース間容量はゲート電極のドリフト層への突き出し深さと無関係であり、トレンチゲートを深くした場合、ゲートソース間容量は変化せずゲートドレイン間容量のみが増加するため、入力容量と帰還容量の比率が小さくなる。これにより、過渡的なコレクタ電圧が入力容量と帰還容量の比率が分圧されて発生する(1)式のゲート電圧は、大きな値となり、スイッチング時の誤動作が発生しやすくなってしま

【0011】このように従来のあらかじめ不純物をドーピングして形成されたポリシリコンゲートからなるMOS型半導体装置では、オン抵抗の改善とスイッチング特性の改善がトレードオフ関係にある。したがって、単純にオン抵抗を改善するためにトレンチ深さを深くすると容量特性が悪化してしまい、それによってスイッチング特性が悪化してしまう困難があった。

【0012】本発明は、このような実情を考慮してなされたもので、トレンチゲート型半導体装置において、オン抵抗を低減しつつスイッチング特性を改善させることを可能とした半導体装置及びその半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明はトレンチゲート型半導体装置の埋め込みゲート電極構造および製造方法に関するもので、本発明の骨子は、トレンチ内に埋め込まれたゲート電極の抵抗値が表面から底部、すなわちドレイン電極側に向かって大きくなるように形成されていることにある。このような構造とすることでゲート電極のベース領域からドリフト領域に突き出している部分は抵抗値が大きくなっているため、CRつまり時定数が大きくなり、この突き出し部分のみが過渡的にはゲート電極として機能しない。そのため、トレンチゲートを深く形成しても、ゲートドレイン間容量の増加が抑えられる。これによって、スイッチング特性が向上し、低オン電圧化とスイッチング損失の低減が可能となる。

【0014】また、上記課題の解決は、より具体的には、以下のような解決手段により実現される。まず、請求項1に対応する発明は、第1導電型の半導体基板上に形成された第2導電型のドリフト領域と、ドリフト領域の一方の主面に選択的に形成された第1導電型のベース領域と、ベース領域中に選択的に形成された第2導電型のソース領域と、ソース領域及びベース領域を貫通して

れるスイッチオン、及び蓄積電荷を放電することでなされるスイッチオフには当然時間がかかることになる。このため、トレンチゲート型ではオン電圧を低減できてもスイッチング特性が悪化し、トータルロスの改善は困難であった。

【0010】また、ドレイン電圧(コレクタ電圧)が変化するときには、(1)式に示すようなゲート電圧が発生し、ゲート電極に印加される。

ドリフト領域に達する深さで形成されたトレンチ内に絶縁膜を介して形成されたゲート電極と、ベース領域及びソース領域を短絡して接続されたソース金属電極と、ゲート電極と接続されたゲート金属電極と、半導体基板と接続されたドレイン電極とからなる半導体装置において、ゲート電極におけるドリフト領域側へ突き出した部分の抵抗値が、ドリフト領域側に突き出さない部分の抵抗値よりも大きい半導体装置である。

【0015】本発明はこのような手段を設けたことにより、この突き出し部分のみを過渡的にはゲート電極として機能しないようにできるので、オン抵抗を低減しつつスイッチング特性を改善させることができる。

【0016】次に、請求項2に対応する発明は、請求項1に対応する発明において、ゲート電極が低抵抗層と高抵抗層の2層で構成されており、低抵抗層がトレンチ領域表面からベース領域を越える深さまで形成されている半導体装置である。

【0017】本発明はこのような手段を設けたことにより、請求項1に対応する発明と同様な作用効果を奏する他、高抵抗層の抵抗値を調整することでスイッチング特性に対する調整を図ることができる。

【0018】また、請求項3に対応する発明は、請求項1に対応する発明において、ゲート電極におけるドリフト領域側の端部の不純物濃度が、ゲート金属電極側端部の不純物濃度の3分の1以下である半導体装置である。

【0019】本発明はこのような手段を設けたことにより、請求項1に対応する発明と同様な作用効果を奏する。さらに、請求項4に対応する発明は、請求項1に対応する発明において、周波数1MHzのLCRメータを用いてドレインソース間0バイアスで測定したゲートドレイン間容量が、下式によって算出される値の70%より小さい半導体装置である。

$$C_{gd} = \epsilon_{ii} \times \epsilon_1 \times A_{gd} / t_{ii}$$

C_{gd} : ゲートドレイン間容量、 ϵ_{ii} : 絶縁膜の誘電率、 t_{ii} : 絶縁膜の厚さ、 ϵ_1 : 真空の誘電率、 A_{gd} :

トレンチゲート領域とドリフト領域の対向面積

本発明はこのような手段を設けたことにより、請求項1に対応する発明と同様な作用効果を奏する。

【0021】さらにまた、請求項5に対応する発明は、請求項1～4に対応する発明において、ゲート電極がポリシリコンからなる半導体装置である。本発明はこのよ

うな手段を設けたことにより、請求項1～4に対応する発明と同様な作用効果を奏する他、ポリシリコンに対する不純物添加量を調整することで、ゲート電極抵抗値の調整を容易に図ることができる。

【0022】一方、請求項6に対応する発明は、請求項1～4に対応する発明において、半導体基板が第2導電型である半導体装置である。本発明はこのような手段を設けたことにより、請求項1～4に対応する発明と同様な作用効果を奏する。

【0023】次に、請求項7に対応する発明は、請求項1～4に対応する発明において、第1導電型の半導体基板と第2導電型のドリフト領域の間に、さらに第2導電型の高濃度バッファ層が設けられる半導体装置である。

【0024】本発明はこのような手段を設けたことにより、請求項1～4に対応する発明と同様な作用効果を奏する。また、請求項8に対応する発明は、請求項1～4に対応する発明において、第1導電型の半導体基板に代えて第2導電型の半導体基板が設けられ、この第2導電型の半導体基板のドレイン電極側の主面に、選択的に第1導電型のアノード領域が形成され、さらにアノード領域の間に第2導電型のショート領域が形成された半導体装置である。

【0025】本発明はこのような手段を設けたことにより、請求項1～4に対応する発明と同様な作用効果を奏する。さらに、請求項9に対応する発明は、半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、ソース領域及びベース領域を貫通して、ドリフト領域に達する深さの溝を形成する工程と、溝の内壁にゲート絶縁膜を形成する工程と、溝内を抵抗値の高いポリシリコン層で埋め込む工程と、ポリシリコン層に少なくともベース領域を越える深さで不純物を拡散する工程と、ドリフト領域の表面領域上に絶縁膜を形成する工程と、絶縁膜に第1、第2の開口部を形成する工程と、絶縁膜及び第1、第2の開口部内に金属層を形成する工程と、金属層をパターニングし、絶縁膜に形成された第1の開口部を介してベース領域と前記ソース領域を短絡するソース金属電極を、及び絶縁膜に形成された第2の開口部を介して溝内に埋め込まれたポリシリコン層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備する半導体装置の製造方法である。

【0026】本発明はこのような手段を設けたことにより、請求項1に対応する発明の半導体装置を製造することができる。さらに、請求項10に対応する発明は、半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、ソース領域及びベース領域を貫通し

て、ドリフト領域に達する深さの溝を形成する工程と、溝の内壁にゲート絶縁膜を形成する工程と、溝内を抵抗値の高いポリシリコン層で埋め込む工程と、ポリシリコン層を所定の深さまで除去する工程と、ポリシリコン層の除去された溝内の部分に導電層を埋め込む工程と、ドリフト領域の表面領域上に絶縁膜を形成する工程と、絶縁膜に第1、第2の開口部を形成する工程と、絶縁膜上及び前記第1、第2の開口部内に金属層を形成する工程と、金属層をパターニングし、絶縁膜に形成された第1の開口部を介してベース領域とソース領域を短絡するソース金属電極、及び絶縁膜に形成された第2の開口部を介して溝内に埋め込まれた導電層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備する半導体装置の製造方法である。

【0027】本発明はこのような手段を設けたことにより、請求項1に対応する発明の半導体装置を製造することができる。さらに、請求項11に対応する発明は、半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、ベース領域を貫通して、ドリフト領域に達する深さの溝を形成する工程と、溝の内壁にゲート絶縁膜を形成する工程と、溝内を抵抗値の高いポリシリコン層で埋め込む工程と、ポリシリコン層に少なくともベース領域を越える深さで不純物を拡散する工程と、溝の側面に沿って、ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、ドリフト領域の表面領域上に絶縁膜を形成する工程と、絶縁膜に第1、第2の開口部を形成する工程と、絶縁膜上及び前記第1、第2の開口部内に金属層を形成する工程と、金属層をパターニングし、絶縁膜に形成された第1の開口部を介してベース領域とソース領域を短絡するソース金属電極、及び絶縁膜に形成された第2の開口部を介して溝内に埋め込まれたポリシリコン層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備する半導体装置の製造方法である。

【0028】本発明はこのような手段を設けたことにより、請求項1に対応する発明の半導体装置を製造することができる。さらにまた、請求項12に対応する発明は、半導体ウェーハの第2導電型のドリフト領域の表面領域に選択的に第1導電型のベース領域を形成する工程と、ベース領域を貫通して、ドリフト領域に達する深さの溝を形成する工程と、溝の内壁にゲート絶縁膜を形成する工程と、溝内を抵抗値の高いポリシリコン層で埋め込む工程と、ポリシリコン層を所定の深さまで除去する工程と、ポリシリコン層の除去された溝内の部分に導電層を埋め込む工程と、溝の側面に沿って、ベース領域の表面領域に選択的に第2導電型のソース領域を形成する工程と、ドリフト領域の表面領域上に絶縁膜を形成する

工程と、絶縁膜に第1、第2の開口部を形成する工程と、絶縁膜上及び前記第1、第2の開口部内に金属層を形成する工程と、金属層をパターンニングし、絶縁膜に形成された第1の開口部を介してベース領域とソース領域を短絡するソース金属電極、及び絶縁膜に形成された第2の開口部を介して前記溝内に埋め込まれた導電層と電気的に接続されるゲート金属電極をそれぞれ形成する工程と、半導体ウェーハの裏面側にドレイン金属電極を形成する工程とを具備する半導体装置の製造方法である。本発明はこのような手段を設けたことにより、請求項1に対応する発明の半導体装置を製造することができる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

（発明の第1の実施の形態）図1は本発明の第1の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図である。

【0030】このトレンチゲート型IGBTは、ドレイン金属電極11（コレクタ金属電極ともいう）に接続されるP型の半導体基板1と、この半導体基板1の一方の主面上に耐圧系に応じた不純物濃度と厚さで形成されたN型ドリフト領域2と、このドリフト領域2の表面に所定の深さで選択的に形成されたP型ベース領域3と、このベース領域3中に所定の深さで選択的に形成されたN型ソース領域4と、このソース領域4及びベース領域3を貫通してドリフト領域2に達する深さで形成されたトレンチゲート領域5と、上記ソース領域4及びベース領域3と接続されるソース金属電極9（エミッタ、カソード金属電極ともいう）と、トレンチゲート領域5と接続されるゲート金属電極10とからなっている。

【0031】トレンチゲート領域5は、ゲート絶縁膜6で囲まれたゲート電極7を具備し、ゲート電極7は、ポリシリコンからなり、低抵抗ゲート部7aと高抵抗ゲート部7bとから構成される。なお、ソース金属電極9がゲート電極7に接触することがないように絶縁膜8が設けられている。ここで、高抵抗ゲート部7bの上端は、ベース領域3とドリフト領域2との境界付近であってドリフト領域2側に位置する。これは低抵抗ゲート部7aが確実にゲートとして機能するようにするためである。ゲート電極7の不純物濃度は図2に示すようになっている。

【0032】図2は図1に示すゲート電極のC-C'間における不純物濃度分布を示す図である。同図に示すように、トレンチゲート領域5中に埋め込まれたポリシリコンのゲート電極7における低抵抗ゲート部7aは、不純物濃度が高く低抵抗な領域となっており、高抵抗ゲート部7bは、不純物濃度が低く高抵抗な領域になっている。

【0033】このようにゲート電極7は不純物濃度が低い層と不純物濃度が高い層の2層で形成されており、図

2に示すようにトレンチゲート電極の途中から不純物濃度に勾配を持たせて形成されている。したがって、トレンチゲート領域5がドリフト領域2に突き出している部分は主に高抵抗ゲート部7bが対応しており、ゲート電極7の不純物濃度が低く高抵抗となっているので、過渡的には電極として機能しない構造となっている。このことを図3を用いて説明する。

【0034】図3は本実施形態の半導体装置が過渡的には電極として機能しないこと説明する概念図である。この半導体装置に、所定の周波数fで正負交互に変化する電圧がゲート電圧としてかけられることで、スイッチングのオンオフが繰り返されている場合を考える。

【0035】同図（a）は本実施形態の場合を説明しており、ゲート電極7は低抵抗ゲート部7aと高抵抗ゲート部7bとからなっている。ここで、まず正電圧を印加すると正電荷がゲート内に注入され始める（S1）。さらに正電圧の印加が続くと、低抵抗ゲート部7a内が完全に正電荷で満たされ、これにより、ソース領域4〜ドリフト領域2間のチャンネルが開き、スイッチがオン状態となる。

【0036】正電荷はさらに高抵抗ゲート部7b内にも侵入しようとするが、高抵抗ゲート部7bは抵抗が大きいため、時定数CRが大きく、この部分に電荷が注入されるには低抵抗ゲート部7aに対するよりも長い時間が必要である。このため、印加電圧が正から負に切り換わる直前の時点でも正電荷はまだ低抵抗ゲート部7bまでしか満たされていない（S2）。

【0037】したがって、このときまで、高抵抗ゲート部7bは現実にはコンデンサの電極として働くことがなく、ゲートドレイン間容量つまり帰還容量の増加はほとんど起こらない。

【0038】次に、ゲート電極には負電圧が印加され始め（S3）、正電荷がゲート電極から抜き出され、スイッチがオフ状態となる。また、上記場合と同様に、印加電圧が負から正に切り換わる直前の時点でも負電荷の充電は低抵抗ゲート部7aまでに止まる（S4）。

【0039】一方、比較例として図3（b）に示すように、ゲート電極全体が低抵抗な電極を用いた従来の半導体装置の場合、正電圧印加開始後（S11）、正電荷はすぐにゲート電極57全体に充電される（S12）。また、負電圧を印加した場合も（S13）、同様にすぐに負電圧がゲート電極57全体に充電される（S14）。このように、ゲート電極全体が低抵抗な場合は、トレンチゲート領域5のドリフト領域2への突き出し部がコンデンサとして働き、帰還容量が増加することになる。

【0040】したがって、図3（a）で説明したように、ゲート電極7のドリフト領域2への突き出し部を高抵抗にすることによって、トレンチゲート領域5を深く形成しても、帰還容量（ゲートドレイン間容量）が増加しないため、スイッチング特性を悪化させることな

く、オン電圧が低減される。

【0041】この様子を図4、図5及び図6に示す。図4は本実施形態の半導体装置のオン電圧とスイッチング時間との関係を示す図である。

【0042】同図に示されるように本実施形態のトレンチゲート型IGBTでは、従来のものと比べ、スイッチング時間抵抗負荷に対するオン電圧の大きさが大幅に低減されていることがわかる。また、トレンチの深さを深くしたときには、同じスイッチング時間抵抗負荷に対するオン電圧が低減することがわかる。

【0043】図5は本実施形態の半導体装置の帰還容量

$$C_{gd} = \epsilon_{it} \times \epsilon_i \times A_{gd} / t_{it}$$

ただし、この式は、ゲート電極が完全にコンデンサ電極として働く場合に成り立つ式であり、現実のデバイスにおいてはこの式で示される値よりも小さな値となる。

【0046】また、ゲートドレイン間容量はLCRメーターを用いることで測定することができ、一般に、周波数1MHzのLCRメーターを用いてドレインソース間0バイアスでゲートドレイン間容量を測定することが行われている。

【0047】図5に示すトレンチゲート型IGBTの場合、帰還容量 C_{gd} について(2)式が成り立つとした場合、トレンチ深さ等のトレンチゲート形状から決まる容量値はコレクタ電圧0.1Vの場合で2350pFとなる。この場合を100%とする。

【0048】従来品のトレンチゲート型IGBTにおいて上記方法で測定される帰還容量は、現実には(2)式から算出される値の85%つまり容量値2000pF程度である。一方、本実施形態のトレンチゲート型IGBTでは、コレクタ電圧0.1Vの場合で容量値は900pF程度となる。このときは(2)式から算出される値に対して38%程度となっている。

【0049】本実施形態による帰還容量の低減効果は、上記したように、その抵抗値をいかに変化させるかにより決まる。ここで、図5に示す場合ほどに高抵抗ゲート部7bでの高抵抗化を図らなくても、オン抵抗を低減しつつスイッチング特性を改善させる効果は得られるものと考えられる。図5の結果を検討するに、周波数1MHzのLCRメーターを用いた測定値が(2)式に示される理論値の70%程度以下となるようなゲート電極抵抗値の変化で、オン抵抗低減かつスイッチング特性改善の効果は得られるものと考えられる。さらに、理論値の50%程度以下となることが上記効果を十分に奏する上でより望ましい。なお、高抵抗ゲート部7bが高抵抗化となるほどスイッチング特性の改善効果が顕著である。

【0050】図6は本実施形態の半導体装置のゲート電圧とコレクタ電圧との関係を示す図である。同図により、本実施形態のトレンチゲート型IGBTにおいては、(1)式で表されるゲート電圧の発生も十分に低減できることがわかる。

とコレクタ電圧との関係を示す図である。同図に示されるように本実施形態のトレンチゲート型IGBTでは、コレクタ電圧に対する帰還容量を大幅に低減させることができる。なお、同図に示される各IGBTは、ゲート電極7の抵抗値分布を除けば同様に構成されている。

【0044】一方、ゲートドレイン間容量 C_{gd} つまり帰還容量は、酸化絶縁膜の誘電率 ϵ_{it} 、絶縁膜の厚さ t_{it} 、真空の誘電率 ϵ_i 、トレンチゲート領域5とドリフト領域2の対向面積 A_{gd} により以下の式により示される。

【0045】

... (2)

【0051】上述したように、本発明の実施の形態に係る半導体装置は、ゲート電極7に低抵抗ゲート部7aと高抵抗ゲート部7bとの2層を設け、ドリフト層2に突き出した部分は高抵抗な層となるようにゲート電極7の抵抗値を調整したので、トレンチゲートを深く形成しても、帰還容量の増加が少ないため、図4に示すようにスイッチング特性の悪化がなく、オン電圧をすることが低減できる。

【0052】また、図5、図6に示すように本発明品では帰還容量が小さいためにゲートに発生する電圧がコレクタ電圧が定格まで上昇しても3V程度にしかならないため、誤動作が少なく、信頼性の高い半導体装置が得られる。

【0053】また、(1)式で表されるゲート電圧の発生も低減できるため、スイッチング時の発振・誤動作も少なくなり、ターンオフロスも低減できる。さらに、本実施形態では、IGBTに対して上記ゲート電極の構成を適用したが、IGBTはバイポーラデバイスであるためトレンチ構造によるキャリア蓄積の効果が顕著であり、オン電圧低減効果が特に著しい。したがって、本発明によればIGBTにおいてトレンチゲート領域5の深さを深くしたいという要請を満たしつつスイッチング特性の悪化防止を図ることができる。

【0054】なお、本実施形態ではNチャネル型について説明したが、本発明は、導電型を逆にすることでPチャネル型についても適用可能である。

(発明の第2の実施の形態) 図7は本発明の第2の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図であり、図1と同一部分には同一符号を付して説明を省略し、ここでは異なる部分についてのみ述べる。

【0055】このトレンチゲート型IGBTは、図1で説明したゲート電極7に代えて、ゲート電極7cが用いられる他、第1の実施形態と同様に構成されている。ゲート電極7cは、ポリシリコンからなり、その表面側から底部側にかけて図4に示すように不純物濃度に勾配を持たせて形成されている。

【0056】図8は図7に示すゲート電極のB-B'間

における不純物濃度分布を示す図である。同図に示すように、トレンチゲート領域5がドリフト領域2に突き出している部分ではポリシリコンゲート電極の不純物濃度が低く、高抵抗となっており、過渡的には電極として機能しない構造となっている。

【0057】以上のように構成された本実施形態の半導体装置においては、ゲート電極7cのドリフト領域2に突き出している部分ではポリシリコンゲート電極が高抵抗となっているため、第1の実施形態の場合と同様な効果が働くことになる。

【0058】上述したように、本発明の実施の形態に係る半導体装置は、トレンチゲート領域5がドリフト領域2に突き出している部分ではポリシリコンゲート電極の不純物濃度が低く、高抵抗となるようにしたので、突き出し部分が過渡的には電極として機能せず、トレンチゲート領域を深く形成しても、帰還容量が増加しない。これにより、スイッチング特性を悪化させることなく、オン電圧を低減することができる。

【0059】また、(1)式で表されるゲート電圧の発生も低減できるため、スイッチング時の発振・誤動作も少なくなり、ターンオフロスも低減できる。また、図8から本実施形態では、ゲート電極7cにおけるドリフト領域2側の端部の不純物濃度が、ゲート金属電極側部分の不純物濃度の5分の1程度となっている。しかし、本発明においては、ベース領域3からドリフト領域2に突き出した底部部分の不純物濃度が、ゲート電極7c表面部分の不純物濃度の3分の1程度以下で十分にその効果が発揮される。

【0060】なお、本実施形態ではNチャネル型について説明したが、本発明は、導電型を逆にすることでPチャネル型についても適用可能である。さらに、本実施形態では、本発明をトレンチゲート型IGBTに適用させる場合について説明したが、本発明の適用範囲はIGBTに限られるものではない。例えばP型の半導体基板1に代えてN型の半導体基板を用いるようにすれば、図7に示した半導体装置はトレンチゲート型MOSFETとなり、このようなトレンチゲート型MOSFETの場合であっても上記した効果を奏することができる。なお、トレンチゲート型MOSFETでもNチャネル型、Pチャネル型何れにも適用可能である。

(発明の第3の実施の形態) 図9は本発明の第3の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図であり、図1と同一部分には同一符号を付して説明を省略し、ここでは異なる部分についてのみ述べる。

【0061】このトレンチゲート型IGBTは、図1で説明したP型の半導体基板1とN型のドリフト領域2との間に、つまり半導体基板1の一方の主面上にN型バッファ領域12が形成される他、第1の実施形態と同様に

【0062】なお、図2に示すように、トレンチゲート領域5中に埋め込まれたポリシリコンのゲート電極7における低抵抗ゲート部7aは、不純物濃度が高く低抵抗な領域となっており、高抵抗ゲート部7bは、不純物濃度が低く高抵抗な領域になっている。この点は第1の実施形態の場合と同様である。

【0063】以上のように構成された本実施形態の半導体装置は、第1の実施形態と同様に動作する。上述したように、本発明の実施の形態に係る半導体装置は、N型バッファ領域12を設けた他、第1の実施形態と同様に構成されるので、第1の実施形態と同様な作用を奏することができる。つまり、本実施形態はIGBTの他の形態である。

【0064】なお、本実施形態ではNチャネル型について説明したが、本発明は、導電型を逆にすることでPチャネル型についても適用可能である。

(発明の第4の実施の形態) 図10は本発明の第4の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図であり、図1と同一部分には同一符号を付して説明を省略し、ここでは異なる部分についてのみ述べる。

【0065】このトレンチゲート型IGBTは、ドリフト領域となるN型半導体基板(図示せず)の一方の主面に形成されたP型アノード領域13とこのP型アノード領域13の間に形成されたN型ショート領域14とこのアノード領域13とショート領域14と接続されるドレイン電極11と、上記図示しない半導体基板の反対の主面上に、耐圧系に応じた不純物濃度と厚さでN型のドリフト領域2が形成される他、図1で説明した第1の実施形態と同様に構成されている。

【0066】なお、図2に示すように、トレンチゲート領域5中に埋め込まれたポリシリコンのゲート電極7における低抵抗ゲート部7aは、不純物濃度が高く低抵抗な領域となっており、高抵抗ゲート部7bは、不純物濃度が低く高抵抗な領域になっている。この点は第1の実施形態の場合と同様である。

【0067】以上のように構成された本実施形態の半導体装置は、第1の実施形態と同様に動作する。上述したように、本発明の実施の形態に係る半導体装置は、アノード領域13とショート領域14を設けるための構成とした他、第1の実施形態と同様に構成されるので、第1の実施形態と同様な作用を奏することができる。つまり、本実施形態はIGBTの他の形態である。

【0068】なお、本実施形態ではNチャネル型について説明したが、本発明は、導電型を逆にすることでPチャネル型についても適用可能である。

(発明の第5の実施の形態) 図11は本発明の第5の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図であり、図1と同一部分には同一符号を付して説明を省略し、ここでは異なる部分に

ついでのみ述べる。

【0069】このトレンチゲート型I E G Tは、ドレイン金属電極11（コレクタ金属電極ともいう）に接続されるP型の半導体基板1と、この半導体基板1の一方の主面上に耐圧系に応じた不純物濃度と厚さで形成されたN型ドリフト領域2と、このドリフト領域2の表面に所定の深さで選択的に形成されたP型ベース領域3と、このベース領域3中に所定の深さで選択的に形成されたN型ソース領域4と、このソース領域4及びベース領域3を貫通してドリフト領域2に達する深さで形成されたトレンチゲート領域5と、複数のユニットセルとして配置された上記ソース領域4及びベース領域3の一部のユニットセルと接続されるソース金属電極9（エミッタ、カソード金属電極ともいう）と、トレンチゲート領域5と接続されるゲート金属電極10とからなっている。

【0070】具体的には絶縁膜8により、一部のソース領域4及びベース領域3に対するソース金属電極9との遮断を行っている。これにより、ソース領域4及びベース領域3とソース金属電極9との接続が図11に示すようにトレンチゲート領域5の片側のみとなるようにする。このようにすることで、I E G Tでは実質的に幅の広いトレンチを設けるのと同様な効果が得られることになる。図11でいえば、トレンチゲート領域5aと5b間の全体が溝となっているのと同様である。

【0071】なお、図2に示すように、トレンチゲート領域5中に埋め入れたポリシリコンのゲート電極7における低抵抗ゲート部7aは、不純物濃度が高く低抵抗な領域となっており、高抵抗ゲート部7bは、不純物濃度が低く高抵抗な領域になっている。この点は第1の実施形態の場合と同様である。

【0072】以上のように構成された本実施形態の半導体装置は、第1の実施形態と同様に動作する。上述したように、本発明の実施の形態に係る半導体装置は、I E G Tが得られる構成とした他、第1の実施形態と同様に構成されるので、第1の実施形態と同様な作用を奏することができる。

【0073】なお、本実施形態ではNチャネル型について説明したが、本発明は、導電型を逆にすることでPチャネル型についても適用可能である。また、アノード側について第3又は第4の実施形態の構造を適用することも可能である。

（発明の第6の実施の形態）図12は本発明の第6の実施の形態に係る半導体装置としてのトレンチゲート型MOSFETの一例を示す構成図であり、図1と同一部分には同一符号を付して説明を省略し、ここでは異なる部分についてのみ述べる。

【0074】このトレンチゲート型MOSFETは、ドレイン金属電極11に接続されるN型の半導体基板1bと、この半導体基板1bの一方の主面上に耐圧系に応じた不純物濃度と厚さで形成されたN型ドリフト領域2

と、このドリフト領域2の表面に所定の深さで選択的に形成されたP型ベース領域3と、このベース領域3中に所定の深さで選択的に形成されたN型ソース領域4と、このソース領域4及びベース領域3を貫通してドリフト領域2に達する深さで形成されたトレンチゲート領域5と、上記ソース領域4及びベース領域3と接続されるソース金属電極9と、トレンチゲート領域5と接続されるゲート金属電極10とからなっている。なお、ソース金属電極9がゲート電極7に接触することがないように絶縁膜8が設けられている。

【0075】なお、図2に示すように、トレンチゲート領域5中に埋め入れたポリシリコンのゲート電極7における低抵抗ゲート部7aは、不純物濃度が高く低抵抗な領域となっており、高抵抗ゲート部7bは、不純物濃度が低く高抵抗な領域になっている。この点は第1の実施形態の場合と同様である。

【0076】以上のように構成された本実施形態の半導体装置は、第1の実施形態と同様に動作する。上述したように、本発明の実施の形態に係る半導体装置は、トレンチゲート型MOSFETとなるように半導体基板1bをN型とした他、第1の実施形態と同様に構成されるので、第1の実施形態と同様な作用を奏することができる。

【0077】なお、本実施形態ではNチャネル型について説明したが、本発明は、導電型を逆にすることでPチャネル型についても適用可能である。

（発明の第7の実施の形態）本実施形態は、上記実施形態で説明した半導体装置の製造方法について、トレンチゲート型MOSFETを例にとって説明するものである。

【0078】図13は本発明の第7の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図である。まず、高濃度の砒素、アンチモン等でドーピングされたN型半導体基板1bの上に耐圧系に応じた濃度のリン等でドーピングされたN型ドリフト領域2を所定の厚さに気相成長によって形成し、半導体ウェーハを形成する（ST1）。

【0079】このように形成した半導体ウェーハのドリフト領域2の表面に選択的にイオン注入法等により、ボロン等の不純物を拡散し、P型ベース領域3を形成する。続いて、ベース領域中に選択的にイオン注入法等により、砒素等の不純物を拡散し、N型ソース領域4を形成する（ST2）。

【0080】続いて、酸化膜等をマスク材にして選択的にRIE等の等方性エッチングにより、ソース、ベース領域3、4を貫通して、ドリフト領域2に達するようにトレンチゲート領域5を形成する（ST3）。

【0081】続いて、1000オングストローム程度の厚さのゲート酸化膜6を形成し、続いて、ゲート電極7cとなる不純物がドーピングされていないポリシリコンで

トレンチゲート領域5内を埋め込む(ST4)。

【0082】その後、リン・砒素等の不純物をデポして、ポリシリコン中にドーピングする(ST5)。なお、このときポリシリコン中への不純物の拡散は少なくともベース領域3を越える深さになるようにする。

【0083】その後、ポリシリコンをパターニングしてゲート電極7cを形成する(ST6)。続いて、CVD等によって、層間絶縁膜8を形成する。続いて、金属電極10と接続される部分の絶縁膜を選択的に除去する(ST7)。

【0084】次に、スパッタリング法等によって、Al等の金属をデポする。続いて、Alの金属をパターニングし、ゲート・ソース配線9を形成する。続いて、N型半導体基板の表面に金等の金属をスパッタリング法等によって形成し、ドレイン電極11を形成する(ST8)。

【0085】こうして形成したウェーハを所定の大きさにカットしてMOSFETチップが完成する。上述したように、本発明の実施の形態に係る半導体装置の製造方法は、アンドープポリシリコンをトレンチ内に埋め込んだ後に表面から不純物拡散し電極化するようにしたので、トレンチゲートの深さ方向に濃度勾配ができ、トレンチゲート底部での抵抗値が大きくなり、過渡的には電極として機能しなくなるため、この方法で製造される半導体装置ではトレンチゲートを深くしても、帰還容量が増加しない。これにより、第2の実施形態の効果を奏する半導体装置を容易に製造できる他、本方法では、従来品とほぼ同等の工程で製造でき、かつ、オン電圧が低減できるため、チップサイズの縮小が可能になり、製造コストの低減を図ることができる。

【0086】なお、本実施形態では、Nチャネル型MOSFETについて説明したが、本発明は、半導体ウェーハの構造に応じてIGBT・IEGTにも適用でき、また、導電型を逆にすることで、Pチャネル型にも適用できるものである。

(発明の第8の実施の形態) 本実施形態は、上記実施形態で説明した半導体装置の製造方法について、トレンチゲート型MOSFETを例にとって説明するものである。

【0087】図14は本発明の第8の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図であり、図13と同一部分には同一符号を付して説明を省略し、ここでは異なる部分についてのみ述べる。

【0088】このトレンチゲート型MOSFETの製造方法において、図14のステップST11~ST14までは、第7の実施形態におけるステップST1~ST4と同様である。

【0089】次に、埋め込まれたトレンチゲート領域5中のポリシリコン対し、リン・砒素等の不純物をイオン注入法によって注入し、拡散して、ポリシリコン中にド

ーピングする(ST15)。なお、このときポリシリコン中への不純物の拡散は少なくともベース領域3を越える深さになるようにする。

【0090】以下のステップST16~ST18の工程は、第7の実施形態におけるステップST6~ST8と同様であり、こうして形成したウェーハを所定の大きさにカットしてMOSFETチップが完成する。

【0091】上述したように、本発明の実施の形態に係る半導体装置の製造方法は、アンドープポリシリコンをトレンチ内に埋め込んだ後に表面から不純物をイオン注入し拡散し、電極化するようにしたので、トレンチゲートの深さ方向に濃度勾配ができ、トレンチゲート底部での抵抗値が大きくなり、過渡的には電極として機能しなくなるため、この方法で製造される半導体装置ではトレンチゲートを深くしても、帰還容量が増加しない。これにより、第2の実施形態の効果を奏する半導体装置を容易に製造できる他、本方法では、従来品とほぼ同等の工程で製造でき、かつ、オン電圧が低減できるため、チップサイズの縮小が可能になり、製造コストの低減を図ることができる。

【0092】なお、本実施形態では、Nチャネル型MOSFETについて説明したが、本発明は、半導体ウェーハの構造に応じてIGBT・IEGTにも適用でき、また、導電型を逆にすることで、Pチャネル型にも適用できるものである。

(発明の第9の実施の形態) 本実施形態は、上記実施形態で説明した半導体装置の製造方法について、トレンチゲート型MOSFETを例にとって説明するものである。

【0093】図15は本発明の第9の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図である。まず、高濃度の砒素、アンチモン等でドーピングされたN型半導体基板1bの上に耐圧系に応じた濃度のリン等でドーピングされたN型ドリフト領域2を所定の厚さに気相成長によって形成し、半導体ウェーハを形成する(ST21)。

【0094】このように形成した半導体ウェーハのドリフト領域2の表面に選択的にイオン注入法等により、ボロン等の不純物を拡散し、P型ベース領域3を形成する。続いて、ベース領域3中に選択的にイオン注入法等により、砒素等の不純物を拡散し、N型ソース領域4を形成する(ST22)。

【0095】続いて、酸化膜等をマスク材にして選択的にRIE等の等方性エッチングにより、ソース、ベース領域3、4を貫通して、ドリフト領域2に達するようにトレンチゲート領域5を形成する(ST23)。

【0096】続いて、1000オングストローム程度の厚さのゲート酸化膜6を形成し、続いて、高抵抗ゲート部7bとなる不純物がドーピングされていないポリシリコンでトレンチゲート領域5内を埋め込む(ST24)。

【0097】その後、RIE等により、ベース領域3と同等の深さまでポリシリコンを除去する。なお、このとき、ポリシリコンを除去する深さはベース領域3よりは若干深いものとする(ST25)。

【0098】続いて、リン・砒素等の不純物をドーピングした、低抵抗ゲート部7aとなるべきポリシリコンで再度トレンチゲート領域5を埋め込む(ST26)。その後、ポリシリコンをパターニングし、低抵抗ゲート部7a及び高抵抗ゲート部7bからなるゲート電極7を形成する(ST27)。

【0099】続いて、CVD等によって、層間絶縁膜8を形成する。続いて、金属電極10と接続される部分の絶縁膜を選択的に除去する(ST28)。スパッタリング法等によって、Al等の金属をデポする。続いて、Al等の金属をパターニングと、ゲート・ソース配線9を形成する。続いて、N型半導体基板の表面に金等の金属をスパッタリング法等によって形成し、ドレイン電極11を形成する(ST29)。

【0100】こうして形成したウェーハを所定の大きさにカットしてMOSFETチップが完成する。上述したように、本発明の実施の形態に係る半導体装置の製造方法は、アンドープポリシリコンをトレンチゲート領域がN型ドリフト領域に対向する部分に埋め込んだ後に不純物をドーピングしたポリシリコンを埋め込み電極化することで、トレンチゲート底部での抵抗値が大きくなり、過渡的には電極として機能しなくなるため、この方法で製造される半導体装置ではトレンチゲートを深くしても、帰還容量が増加しない。これにより、第1、3～6の実施形態の効果を奏する半導体装置を容易に製造できる他、本方法では、従来品とほぼ同等の工程で製造でき、かつ、オン電圧が低減できるため、チップサイズの縮小が可能になり、製造コストの低減を図ることができる。

【0101】なお、本実施形態では、Nチャネル型MOSFETについて説明したが、本発明は、半導体ウェーハの構造に応じてIGBT・IEGTにも適用でき、また、導電型を逆にすることで、Pチャネル型にも適用できるものである。

(発明の第10の実施の形態) 本実施形態は、上記実施形態で説明した半導体装置の製造方法について、トレンチゲート型MOSFETを例にとって説明するものである。

【0102】図16は本発明の第10の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図である。まず、高濃度の砒素、アンチモン等でドーピングされたN型半導体基板1bの上に耐圧系に応じた濃度のリン等でドーピングされたN型ドリフト領域2を所定の厚さに気相成長によって形成し、半導体ウェーハを形成する(ST31)。

【0103】このように形成した半導体ウェーハのドリ

フト領域の表面に選択的にイオン注入法等により、ボロン等の不純物を拡散し、P型ベース領域3を形成する(ST32)。

【0104】続いて、酸化膜等をマスク材にして選択的にRIE等の等方性エッチングにより、ベース領域3を貫通して、ドリフト領域2に達するようにトレンチゲート領域5を形成する(ST33)。

【0105】続いて、1000オングストローム程度の厚さのゲート酸化膜6を形成し、続いて、高抵抗ゲート部7bとなる不純物がドーピングされていないポリシリコンでトレンチゲート領域5内を埋め込む(ST34)。

【0106】その後、RIE等により、ベース領域3と同等の深さまでポリシリコンを除去する。なお、このとき、ポリシリコンを除去する深さはベース領域3よりは若干深いものとする(ST35)。

【0107】続いて、リン・砒素等の不純物をドーピングした、低抵抗ゲート部7aとなるべきポリシリコンで再度トレンチゲート領域5を埋め込む(ST36)。その後、ポリシリコンをパターニングして低抵抗ゲート部7a及び高抵抗ゲート部7bからなるゲート電極7を形成する。続いて、イオン注入法等により、トレンチゲート領域5の側面に沿って、P型ベース領域3の表面に選択的にリン等の不純物を拡散し、N型ソース領域4を形成する(ST37)。

【0108】続いて、CVD等によって、層間絶縁膜8を形成する。続いて、金属電極10と接続される部分の絶縁膜を選択的に除去する(ST38)。スパッタリング法等によって、Al等の金属をデポする。続いて、Al等の金属をパターニングし、ゲート・ソース配線9を形成する。続いて、N型半導体基板の表面に金等の金属をスパッタリング法等によって形成し、ドレイン電極11を形成する(ST39)。

【0109】こうして形成したウェーハを所定の大きさにカットしてMOSFETチップが完成する。上述したように、本発明の実施の形態に係る半導体装置の製造方法は、ゲート電極を設けた後にソース領域4を形成するようにした他、第9の実施形態を同様な工程を有するので、第9の実施形態を同様な効果を奏することができる。

【0110】なお、本実施形態では、Nチャネル型MOSFETについて説明したが、本発明は、半導体ウェーハの構造に応じてIGBT・IEGTにも適用でき、また、導電型を逆にすることで、Pチャネル型にも適用できるものである。

【0111】さらに、本実施形態では、ポリシリコンを2層で形成する第1、3～6の実施形態に対応する半導体装置製造方法の場合について、ソース領域4を後に形成する場合を説明したが、この方法は第7又は第8の実施形態にも適用できるものである。なお、本発明は、上記各実施の形態に限定されるものでなく、その要旨を逸

脱しない範囲で種々に変形することが可能である。

【0112】

【発明の効果】以上詳記したように本発明によれば、ドリフト領域へのゲート電極突き出し部分の抵抗値を高くすることで、トレンチゲート型半導体装置において、オン抵抗を低減しつつスイッチング特性を改善させることができる半導体装置を提供することができる。

【0113】また、本発明によれば、ドリフト領域へのゲート電極突き出し部分の抵抗値が高くなる工程を有することにより、オン電圧が低減できるためチップサイズの縮小を可能とするとともに、従来品とほぼ同等の工程で製造でき、製造コストの低減をも図れる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図。

【図2】図1に示すゲート電極のC-C'間における不純物濃度分布を示す図。

【図3】同実施形態の半導体装置が過渡的には電極として機能しないこと説明する概念図。

【図4】同実施形態の半導体装置のオン電圧とスイッチング時間との関係を示す図。

【図5】同実施形態の半導体装置の帰還容量とコレクタ電圧との関係を示す図。

【図6】同実施形態の半導体装置のゲート電圧とコレクタ電圧との関係を示す図。

【図7】本発明の第2の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図。

【図8】図7に示すゲート電極のB-B'間における不純物濃度分布を示す図。

【図9】本発明の第3の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図。

【図10】本発明の第4の実施の形態に係る半導体装置としてのトレンチゲート型IGBTの一例を示す構成図。

【図11】本発明の第5の実施の形態に係る半導体装置

としてのトレンチゲート型IGBTの一例を示す構成図。

【図12】本発明の第6の実施の形態に係る半導体装置としてのトレンチゲート型MOSFETの一例を示す構成図。

【図13】本発明の第7の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図。

【図14】本発明の第8の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図。

【図15】本発明の第9の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図。

【図16】本発明の第10の実施の形態に係るトレンチゲート型MOSFETの製造方法の一例を示す図。

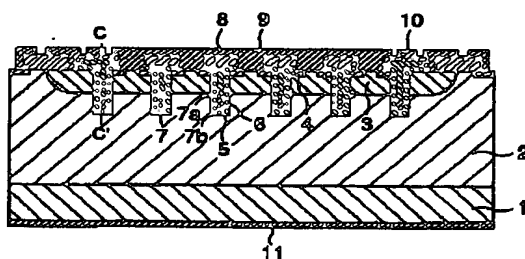
【図17】従来のトレンチゲート型MOSFETの断面構造図。

【図18】図17のトレンチゲート領域内に埋め込まれたポリシリコンゲート電極のA-A'間の不純物プロファイルを示す図。

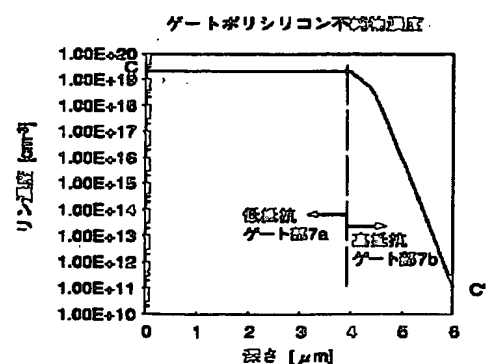
【符号の説明】

- 1, 1b...半導体基板
- 2...ドリフト領域
- 3...ベース領域
- 4...ソース領域
- 5...トレンチゲート領域
- 6...ゲート絶縁膜
- 7, 7c...ゲート電極
- 7a...低抵抗ゲート部
- 7b...高抵抗ゲート部
- 8...絶縁膜
- 9...ソース金属電極
- 10...ゲート金属電極
- 11...ドレイン金属電極
- 12...バッファ層
- 13...アノード領域
- 14...ショート領域

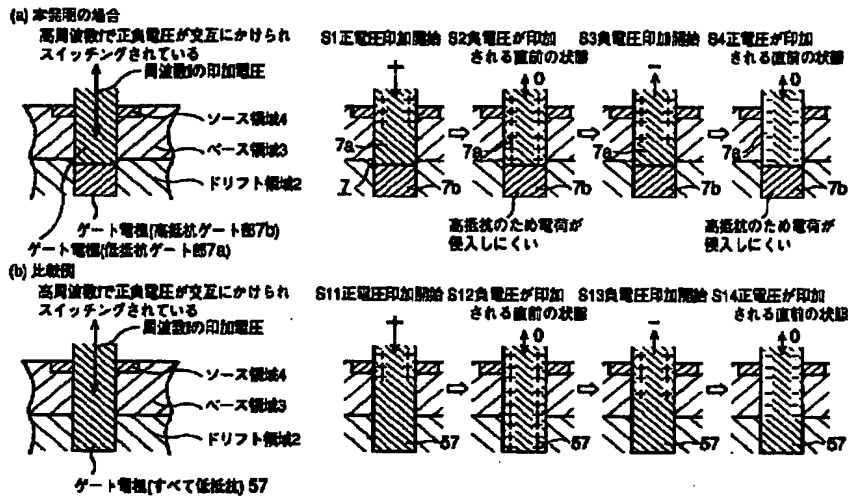
【図1】



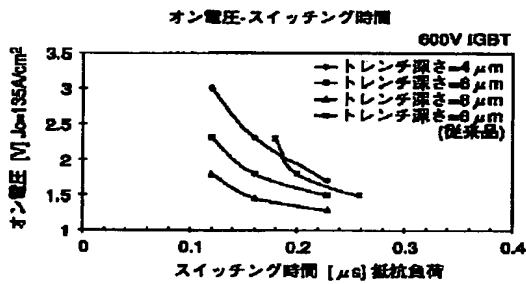
【図2】



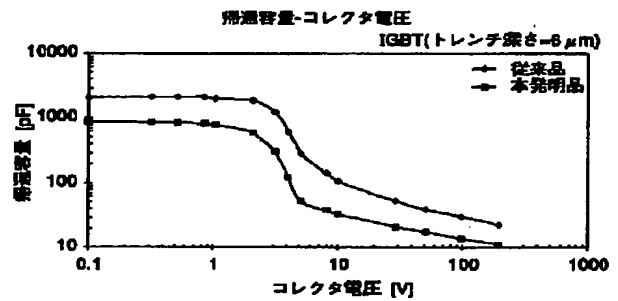
【図3】



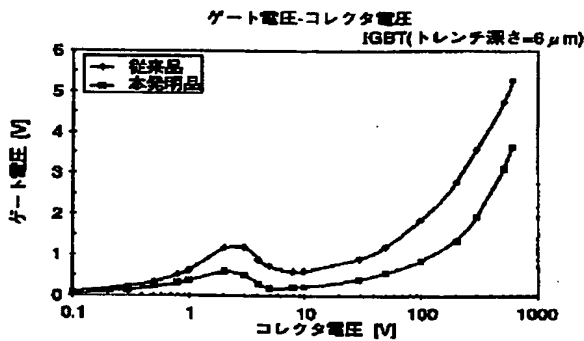
【図4】



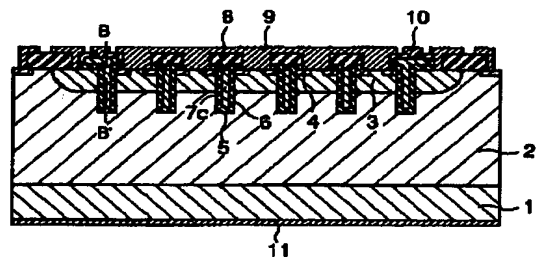
【図5】



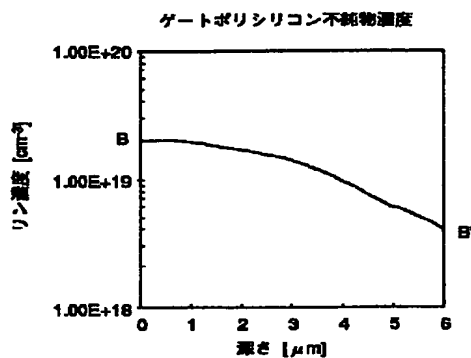
【図6】



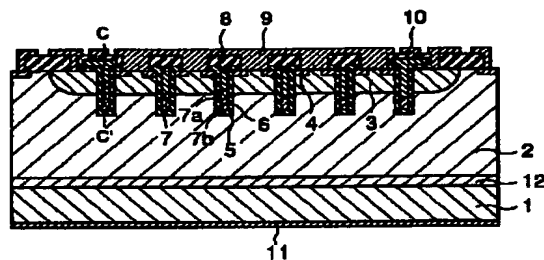
【図7】



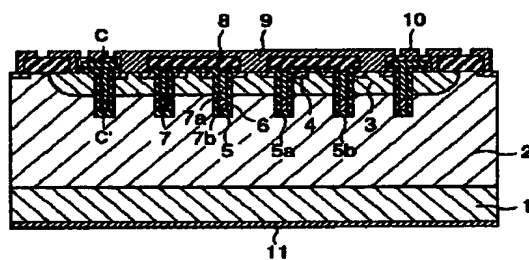
【図8】



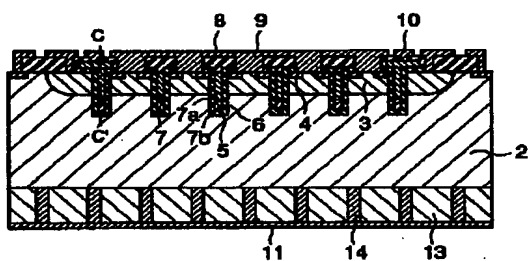
【図9】



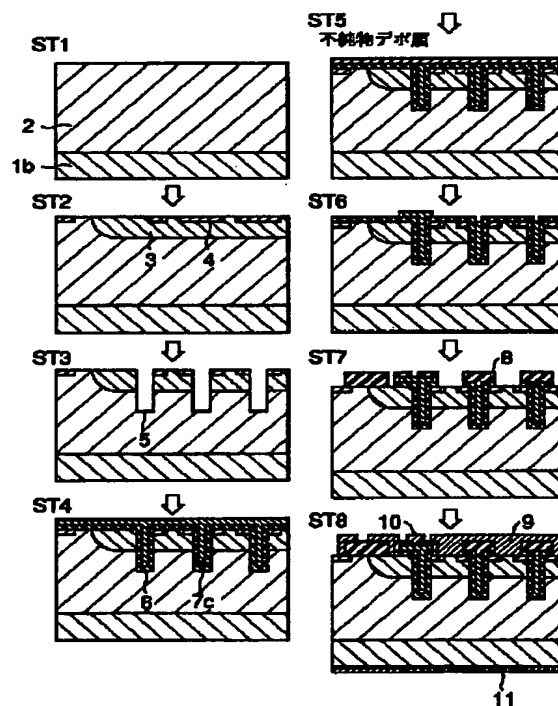
【図11】



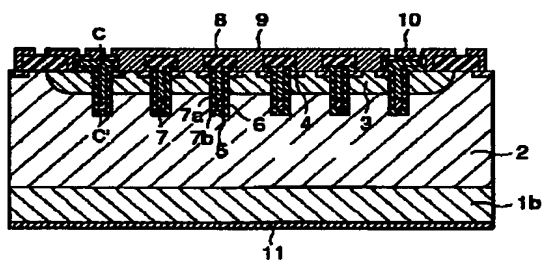
【図10】



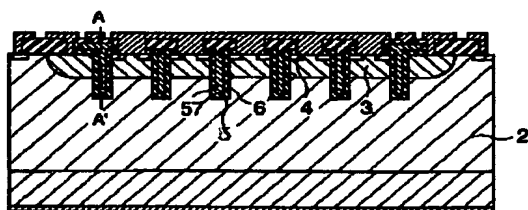
【図13】



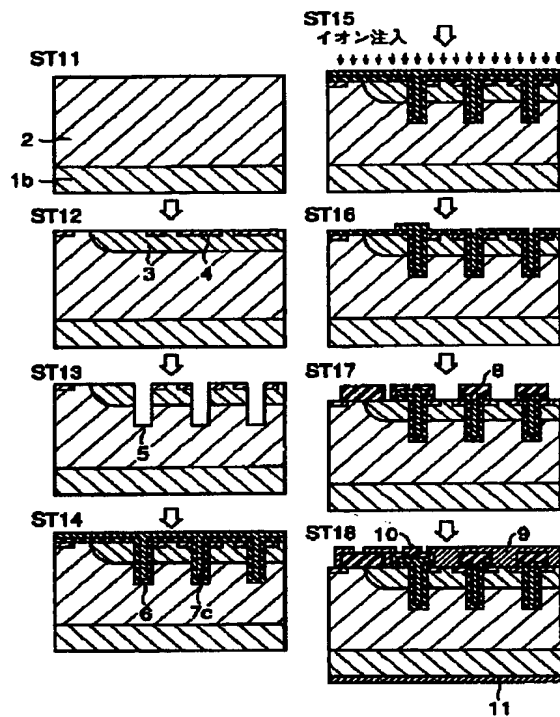
【図12】



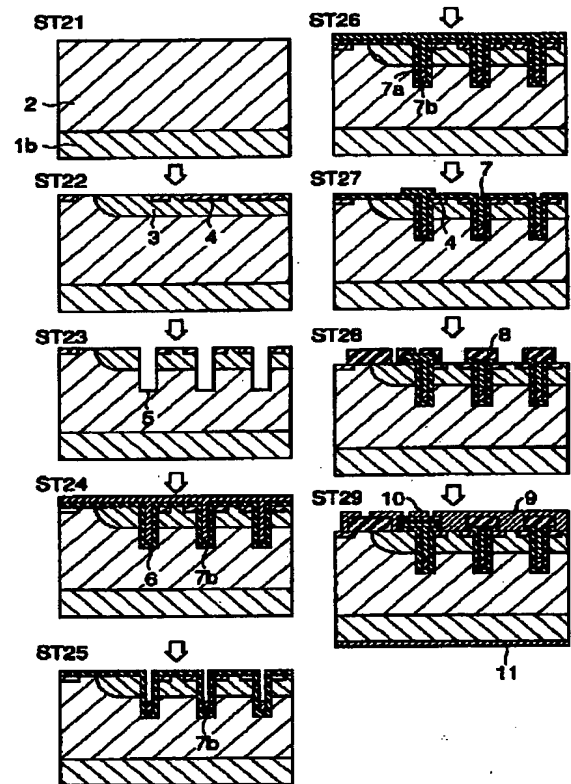
【図17】



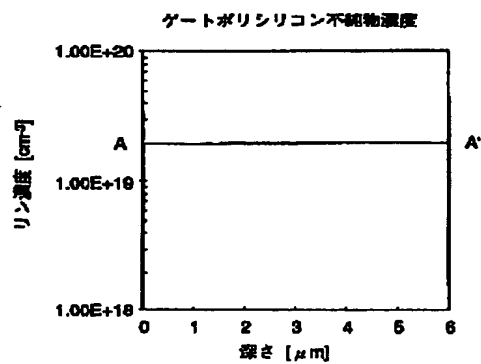
【図14】



【図15】



【図18】



【図16】

